

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-364021

(43)Date of publication of application : 16.12.1992

(51)Int.Cl.

H01L 21/027

(21)Application number : 03-138898

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 11.06.1991

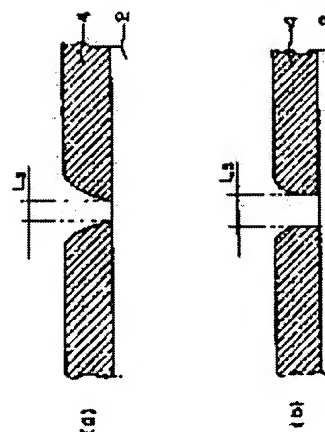
(72)Inventor : FUKUZAWA TAKESHI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To make it possible to form a fine resist pattern by reducing its process coefficient by a simple method.

CONSTITUTION: A resist is coated on a semiconductor substrate 2 with an appropriate thickness. Then, according to a usual process, the resist is exposed and developed in a water solution to form a desired resist pattern 4. Subsequently, the water solution and others used for the development are removed. A heat treatment is performed. The heat treatment here is not only aimed at dewatering, but also at deforming the resist. In this case, the heat treatment after the development is given at a temperature higher than the thermal stabilization temperature of the resin which forms the resist, 140°C, for example. As clear from the resist pattern 4, the edge corners of the expanded resist pattern 4 are rounded to make the side walls of the pattern round. A deformation of the kind contributes to shortening the dimension of the interval between the resist patterns, thus effectively act on the shortening of the resolution.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-364021

(43) 公開日 平成4年(1992)12月16日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027		7352-4M	H 0 1 L 21/30	3 6 1 Q
		7352-4M		3 6 1 V

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平3-138898

(22) 出願日 平成3年(1991)6月11日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 福澤 健

神奈川県横浜市栄区田谷町1番地 住友電

気工業株式会社横浜製作所内

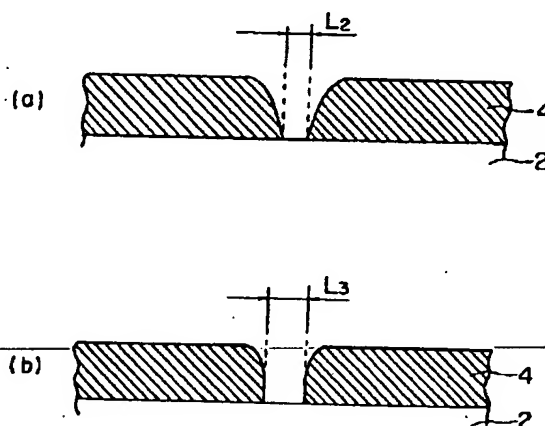
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 簡易な方法でプロセス係数を小さくし、微細なレジストパターンの形成を可能にすること。

【構成】 半導体基板2上に適当な厚さでレジストを塗布する。その後、通常の工程にしたがってレジストを露光し、水溶液で現像処理し、所望のレジストパターン4を形成する。次に、現像に用いた水溶液等を除去し、加熱処理を行う。ここでの加熱は、脱水のみならずレジストの変形を目的とする。この場合、現像後の加熱処理をレジストを構成する樹脂の熱的安定温度よりも高い温度、例えば1-4-0℃で行う。図示のレジストパターン4から明らかなように、膨脹したレジストパターン4は、エッジ部の角がなくなり、パターンの側壁が丸くなる。このような変形は、レジストパターンの間の寸法の短縮に寄与し、解像力の短縮に対して有効に働くこととなる。



Best Available Copy

1

## 【特許請求の範囲】

【請求項1】 レジストパターンを形成する第1の工程と、該レジストパターンをその軟化温度の前後に加熱する第2の工程とを備えることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に、リソグラフィ工程において微細なパターンを形成することが可能な半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 半導体装置の製造方法において、リソグラフィ技術は欠かせないものである。殊に、最近のICの高性能化、小型化の要請から、極めて微細なレジストパターンの形成が必要とされている。このようなリソグラフィ技術として、従来は、半導体基板上にレジスト材料を塗布し、マスクを介してレジストに紫外線を照射し、これを現像することにより、レジストパターンを形成することとしている。そして、このレジストパターンをマスクとして種々の基板材料を選択除去し、集積回路を形成することとしている。図1は、かかる従来のレジストパターンの断面図を示したものである。

## 【0003】

【発明が解決しようとする課題】 上記リソグラフィ技術において、最小微細レジスト寸法、即ち解像力 $R (=L_1)$ を小さくするには、露光波長を小さくし、露光レンズの開口数を大きくし、或いはプロセス係数を小さくする必要がある。しかし、露光波長の変更や露光レンズの変更は容易でない。

【0004】 そこで、本発明は、より簡易な手法によってプロセス係数を小さくし、解像力 $R (=L_1)$ を小さくして、微細なレジストパターンの形成を可能にする半導体装置の製造方法を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 上記目的達成のため、本発明に係る半導体装置の製造方法は、レジストパターンを形成する第1の工程と、該レジストパターンをその軟化温度の前後に加熱する第2の工程とを備えることとしている。

## 【0006】

【作用】 上記の半導体装置の製造方法によれば、加熱されたレジストパターンの縁部分が軟化・変形し、みかけ上レジストパターンが膨脹する。すなわち、レジストパターンの側壁が外方向に相対的に移動することとなり、レジストパターンの間の寸法をより短縮し、解像力をより小さくすることができる。したがって、より高性能な半導体装置の製造方法を提供することが可能になる。

## 【0007】

【実施例】 実施例の説明の前に、最小微細レジスト寸

2

法、即ち解像力 $R (=L_1)$ について簡単に説明しておく。

【0008】 解像力 $R$ は、一般に $R = k \cdot \lambda / NA$ で与えられる。ここで、 $\lambda$ は使用する光源の波長を表し、 $NA$ は使用する露光装置（レンズ）の開口数を表し、 $k$ はプロセス係数を表わす。上記の式から明らかなように、 $R$ を小さくするには、 $k$ を小さくする（つまりプロセスを変更する）、或いは $\lambda$ を小さくし $NA$ を大きくする（つまり装置を変更する）といった方法で対処しなければならない。本発明の場合、露光装置等を変更することなく、より簡易な方法でプロセス係数を小さくし、 $R$ を小さくすることを目的とする。

【0009】 以下、本発明の実施例について図面を参照しつつ説明する。

【0010】 図2は、実施例に係る半導体装置の製造方法を示した図である。まず、半導体基板2上に適当な厚さでレジストを塗布する。このレジストは樹脂と感光剤で構成されている。その後、通常の工程にしたがってレジストを露光し、水溶液で現像処理し、所望のレジストパターン4を形成する。次に、現像に用いた水溶液等を除去し、加熱処理を行う。ここでの加熱は、脱水のみならずレジストの変形を目的とする。この場合、現像後の加熱処理をレジストを構成する樹脂の熱的安定温度よりも高い温度、例えば140℃で行う。得られたレジストパターン4について解像力 $R$ を測定したところ、 $\lambda = 365 \text{ nm}$ 、 $NA = 0.365$ の装置に対して $R (=L_1) = 0.7 \mu\text{m}$ という結果を得た。

【0011】 また、図2に示したレジストパターン4から明らかなように、リフローした或いは準安定的に膨脹したレジストパターン4は、そのエッジ部の角がなくなり、パターンの側壁が丸くなる。このような変形は $R (=L_1, L_2)$ の短縮に対して有効に働くこととなる。なお、図2(a)に示したレジストパターンは、その熱処理温度を高めに設定した場合を示したもので、レジストパターンの縁部分でレジスト層の厚みが減少してしまう。このため、図示のレジストパターンは主にRIE等によるエッチングに適する。また、図2(b)に示したレジストパターンは、その熱処理温度を低めに設定した場合を示したもので、レジストパターンの縁部分でもレジスト層の厚みが十分に維持されている。このため、図示のレジストパターンはエッチングの他、イオン注入、リフトオフ等にも適する。

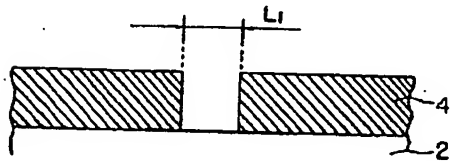
【0012】 以上の実験と並行して、脱水のみ目的とし、樹脂の熱的安定温度の範囲内（一般に、100～110℃）で現像後の加熱処理を行った比較試料も準備した。なお、このような試料は通常の製造方法で得られる試料と異なるところがない。得られたレジストパターン4について解像力 $R$ を測定したところ、 $\lambda = 365 \text{ nm}$ 、 $NA = 0.365$ の同装置に対して $R = 0.8 \mu\text{m}$ という結果を得た。つまり、実施例の製造方法のプロセ

ス係数は、比較試料のプロセス係数に比較して12.5%向上していることがわかる。

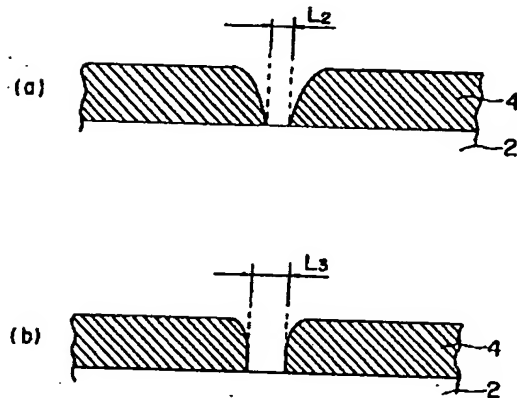
【0013】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によれば、レジストパターンを軟化・変形し、みかけ上膨脹させる。したがって、レジストパターンの間の寸法をより短縮することができ、より高性能な半導体装置又はより微細な半導体装置の製造方法を提供することができる。

【図1】



【図2】



【図面の簡単な説明】

【図1】従来の製造方法によって形成されたレジストパターンの断面図である。

【図2】従来の製造方法によって形成されたレジストパターンの断面図である。

【符号の説明】

2…半導体基板

4…レジストパターン

Best Available Copy